

УДК 004.272.25

Т. Б. Мартинюк, Б. І. Круківський, С. В. Богомолів, А. О. Кузіна

## СИНТЕЗ ПРИСТРОЮ КЕРУВАННЯ НА БАЗІ R-AВТОМАТА ДЛЯ АСОЦІАТИВНОГО ПРОЦЕСОРА

Вінницький національний технічний університет, Вінниця

**Анотація.** В даній статті розглядається один з відомих варіантів синтезу пристроїв керування з "жорсткою" логікою. Такі пристрої керування забезпечують значну швидкість спрацювання у порівнянні з пристроями керування з програмованою логікою, але мають трудомісткий процес на етапах абстрактного та структурного синтезу мікропрограмного автомата (МПА) як базової моделі структури пристрою такого типу керування. Синтез МПА на базі зсувного регістра як R-автомата забезпечує компромісне рішення серед реалізацій МПА на базі паралельного регістра як T-автомата або лічильника як СТ-автомата. Це пов'язано з навантаженням пам'ятовувальної частини МПА за рахунок зниження складності логічної частини МПА, а саме його комбінаційної схеми. Використання специфічного одиничного позиційного кодування станів МПА дозволяє значно спростити складний процес формування булевих функцій, що відповідають функціям збудження при структурному синтезі МПА. А це, у свою чергу, приводить до спрощення комбінаційної частини МПА. Разом з тим, ускладнення пам'ятовувальної частини МПА на базі зсувного регістра приводить до збільшення його розрядності, не зменшуючи регулярності його структури. У статті запропоновано не стандартний підхід до синтезу пристрою керування та розроблено його функціональну схему. В результаті синтез на базі R - автомата структури пристрою керування для асоціативного процесора підтвердив перспективність такого варіанта синтезу МПА через спрощення процесу відповідного абстрактного та структурного синтезу. Це обумовлено нескладністю формування прямої та спрощеної структурних таблиць з використанням одиничного позиційного кодування станів МПА. Планується розміщення розробленої структури пристрою керування у програмованій логічній ІС (ПЛІС), що дозволить розмістити у ПЛІС весь асоціативний процесор. Такий підхід забезпечить компактність організації та швидкодію спрацювання асоціативного процесора.

**Ключові слова:** пристрій керування, мікропрограмний автомат, R-автомат, асоціативний процесор, сортування.

**Abstract.** This article discusses one of the well-known options for the synthesis of control devices with rigid logic. Such control devices provide a significant response speed compared to control devices with programmable logic, but they have a laborious process at the stages of abstract and structural synthesis of a microprogram automaton (MPA) as the basic structural model of this type of control device. Synthesis of an MPA based on a shift register as an R-automaton provides a compromise solution among the implementations of an MPA based on a parallel register as a T-automaton or a counter as a CT-automaton. This is due to the load on the memory of the MPA by reducing the complexity of the logical part of the MPA, namely its combinational scheme. The use of a specific single positional coding of the MPA states makes it possible to significantly simplify the complex process of the formation of Boolean functions corresponding to the excitation functions in the abstract synthesis of the MPA. And this, in turn, leads to a simplification of the combinational part of the MPA. At the same time, the complication of the memory part of the MPA based on the shift register leads to an increase in its bit rate without reducing the regularity of its structure. The article proposes a non-standard approach to the synthesis of a control device and develops its functional scheme. As a result, synthesis on the basis of the R - automaton of the control device structure for the associative processor confirmed the perspective of this version of MPA synthesis by simplifying the process of the corresponding abstract and structural synthesis. This is due to the simplicity of forming direct and simplified structural tables using single positional coding of MPA states. It is planned to place the developed structure of the control device in a programmable logic IC (FPGA), which will allow the placement of the entire associative processor in the FPGA. This approach will ensure the compactness of the organization and the speed of the associative processor.

**Key words:** control device, microprogram automaton, R- automaton, associative processor, sorting.

**DOI:** <https://doi.org/10.31649/1999-9941-2022-54-2-79-85>.

### Вступ

Якщо розглядати пристрої керування з "жорсткою" логікою, то базовими варіантами їх синтезу можна назвати три з них, які відрізняються побудовою пам'ятовувальної частини мікропрограмного автомата (МПА). Це пов'язано з реалізацією цієї частини МПА або на тригерах (паралельному регістрі) як T-автомат (ТА), або на лічильниках як СТ-автомат (СТА), або на зсувному регістрі як R-автомат (РА) [1].

Разом з тим, вдосконалення методів синтезу пристроїв керування продовжується [2], що знаходить своє втілення, наприклад при побудові МПА з операційним автоматом переходів або операційною адресацією [3-5].

### Актуальність

Серед наведених трьох базових варіантів синтезу МПА тільки використання R-автомата забезпечує вираш в апаратних витратах при побудові комбінаційної частини МПА [6]. Це пов'язано з тим, що в цьому випадку апаратне навантаження припадає на пам'ятовувальну частину МПА, якою є зсувний регістр, що має регулярну структуру і можливість нарощування його розрядності без зайвих ускладнень [7,8].

Таким чином реалізується принцип, за яким зростання апаратної складності пам'ятовувальної частини МПА зменшує апаратну складність його комбінаційної частини, зокрема за рахунок функціонального навантаження елементів пам'яті МПА [1,8]. Крім того, необхідно врахувати, що збільшення регулярної організації будь-якої структури дозволяє ефективно її розмістити у перспективних програмованих логічних ІС (ПЛІС) [9-11].

### Мета

Метою роботи є аналіз можливостей побудови пристрою керування з використанням синтезу МПА на базі R-автомата для конкретного пристрою, а саме для асоціативного процесора, що реалізує алгоритм сортування з ранжуванням елементів числового масиву.

### Етапи абстрактного та структурного синтезу МПА

Для побудови пристрою керування обрано як приклад спосіб функціонування асоціативного процесора на реверсивних лічильниках з достатньо високою регулярністю структури [12]. Абстрактний синтез МПА починається з розмітки граф-схеми алгоритму (ГСА) сортування з ранжуванням (рис. 1) для обраного асоціативного процесора [12].

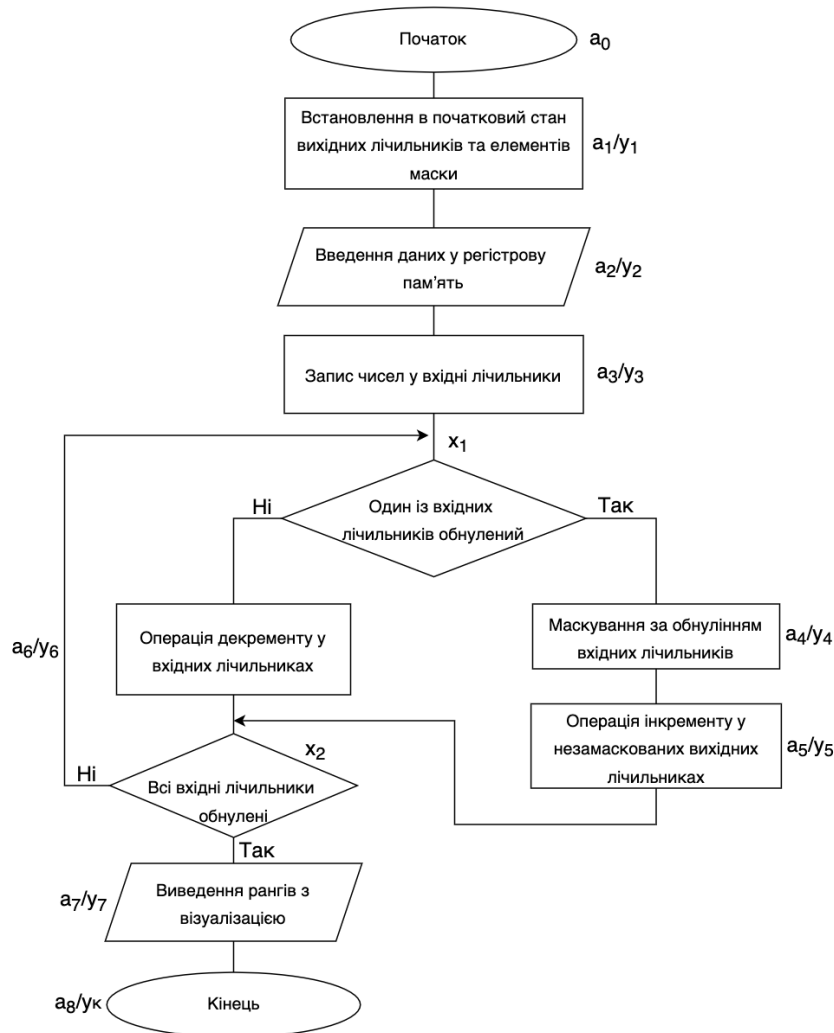


Рисунок 1 – Блок-схема алгоритму сортування з ранжуванням

Для МПА на базі RA доцільно застосувати автомат Мура (рис. 2), оскільки в цьому випадку сигнали керування співвідносяться з операторними вершинами ГСА (рис. 1). Аналіз наведеного ГСА сортування з ранжуванням на рис. 1 показав наявність лінійного ланцюга  $\lambda$  з вершинами, поміченими станами  $a_0 - a_3$ , та достатньо розгалуженої за умовними вершинами  $x_1, x_2$  частини, що не входить до лінійного ланцюга  $\lambda$ , а саме вершини зі станами  $a_3 - a_7$  (рис. 2).

Кількість розмічених операторних вершин ГСА визначає розрядність  $N$  зсувного регістра RG у запам'ятовувальній частині МПА [8], тобто  $N=8$ . Це пов'язано з тим, що для кодування станів МПА використовується специфічний одиничний позиційний код [13,14]. В результаті кожний зі станів  $a_3 - a_8$  кодується одиницею у відповідному розряді  $Q_1 - Q_8$  зсувного регістра RG, тобто стани подаються таким чином:

$$\begin{array}{l}
 100\dots 00 \\
 010\dots 00 \\
 \dots \\
 000\dots 10 \\
 000\dots 01.
 \end{array} \quad (1)$$

Отже, перехід між сусідніми станами в межах лінійного ланцюга  $\lambda$  реалізується в процесі послідовного зсуву одиниці від молодшого розряду до сусіднього старшого розряду.

Пряму структурну таблицю (ПСТ) подано у вигляді табл. 1, де показано всі можливі тринадцять переходів між станами МПА згідно з автоматом Мура (рис. 2).

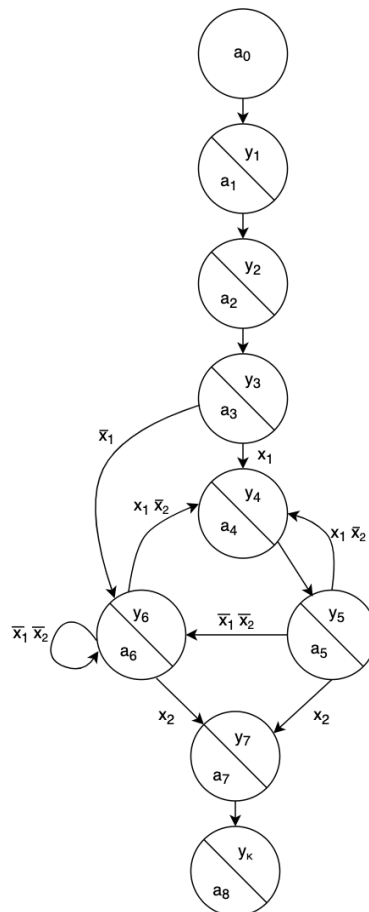


Рисунок 2 – Автомат Мура

В окрему спрощену таблицю (табл. 2) винесено всі нелінійні переходи (розгалуження), які не входять до лінійного ланцюга  $\lambda$  (табл. 1). Тільки ці нелінійні переходи в подальшому подаються у вигляді булевих рівнянь. У даному випадку вони складають вісім переходів з тринадцяти.

На рис. 3 наведено функціональну схему МПА, яка фактично представляє структуру пристрою керування для асоціативного процесора [12]. Оскільки зсувний регістр RG (рис. 3) є функціонально значущим вузлом МПА, то доцільно визначити особливості його спрацювання. Він має керовані входи: R – скиду, C – синхронізації та S0, S1 – вибору режиму і спрацьовує за такими сигналами: Reset – сигнал скиду, Set – настановний одиничний сигнал, Clock – тактові імпульси.

Особливістю зсувного регістра RG як запам'ятовувальної частини МПА (рис.3) є те, що він спрацьовує у двох режимах:

- послідовного зсуву у бік старших розрядів для виконання послідовних переходів між станами лінійного ланцюга  $\lambda$ ;
- паралельного завантаження по його входах  $D_1 - D_8$  для виконання нелінійних переходів у точках розгалуження ГСА (рис. 1), що відповідає примусовому встановленню нового стану та обнуленню поточного стану зсувного регістра RG.

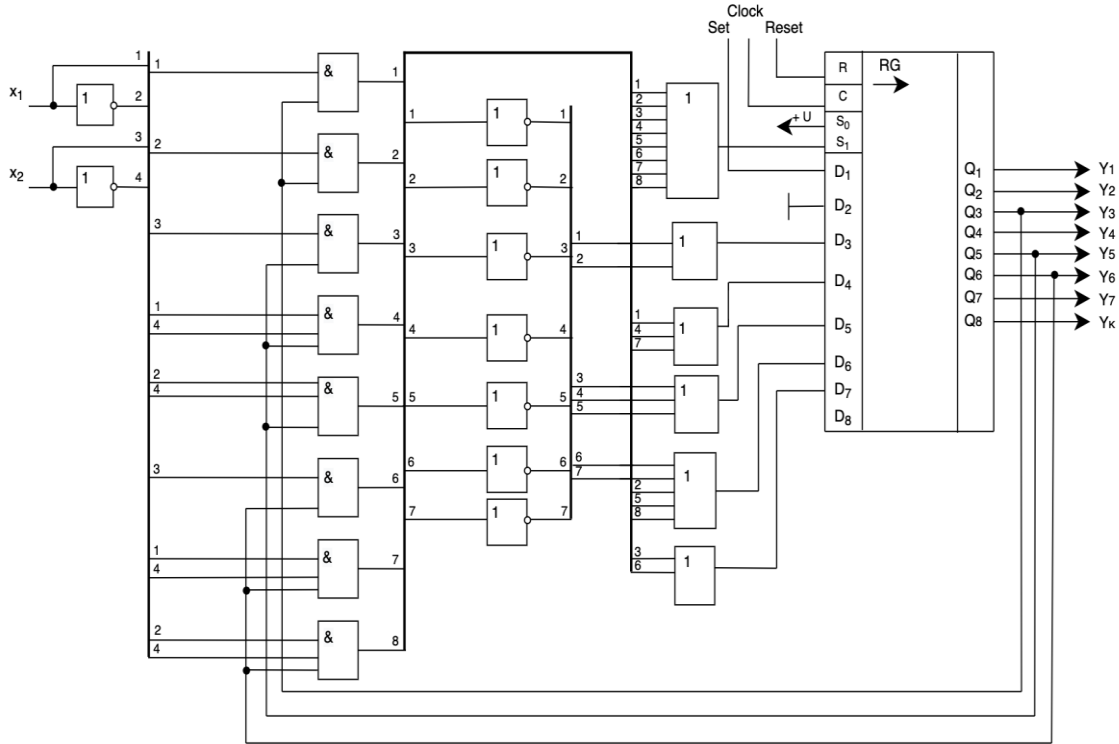


Рисунок 3 – Функціональна схема МПА

Таблиця 1 – Структурна таблиця переходів між станами МПА

Початковий стан $a_m$	Код початкового стану $K(a_m)$	Стан переходу $a_s$	Код стану переходу $K(a_s)$	Вхідний сигнал $X(a_m, a_s)$	Вихідний сигнал $Y(a_m, a_s)$	Функція збудження $\Phi(a_m, a_s)$	Ознака належності $(a_m, a_s) \in \lambda$	Номер переходу $h$
$a_0$	00000000	$a_1$	10000000	1	$y_1$	$D_1$	+	1
$a_1$	10000000	$a_2$	01000000	1	$y_2$	$D_2$	+	2
$a_2$	01000000	$a_3$	00100000	1	$y_3$	$D_3$	+	3
$a_3$	00100000	$a_4$	00010000	$x_1$	$y_4$	$\bar{D}_3 D_4$	-	4
		$a_6$	00000100	$\bar{x}_1$	$y_6$	$\bar{D}_3 D_6$	-	5
$a_4$	00010000	$a_5$	00001000	1	$y_5$	$D_5$	+	6
$a_5$	00001000	$a_4$	00010000	$x_1 \bar{x}_2$	$y_4$	$\bar{D}_5 D_4$	-	7
		$a_6$	00000100	$\bar{x}_1 \bar{x}_2$	$y_6$	$\bar{D}_5 D_6$	-	8
		$a_7$	00000010	$x_2$	$y_7$	$\bar{D}_5 D_7$	-	9
$a_6$	00000100	$a_4$	00010000	$x_1 \bar{x}_2$	$y_4$	$\bar{D}_6 D_4$	-	10
		$a_6$	00000100	$\bar{x}_1 \bar{x}_2$	$y_6$	$D_6$	-	11
		$a_7$	00000010	$x_2$	$y_7$	$\bar{D}_6 D_7$	-	12
$a_7$	00000010	$a_8$	00000001	1	$y_k$	$D_8$	+	13

Таблиця 2 – Спрощена структурна таблиця переходів між станами МПА

Початковий стан $a_m$	Код початкового стану $K(a_m)$	Стан переходу $a_s$	Код стану переходу $K(a_s)$	Вхідний сигнал $X(a_m, a_s)$	Вихідний сигнал $Y(a_m, a_s)$	Функція збудження $\Phi(a_m, a_s)$	Номер переходу
$a_3$	00100000	$a_4$	00010000	$x_1$	$y_4$	$\bar{D}_3 D_4$	4
		$a_6$	00000100	$\bar{x}_1$	$y_6$	$\bar{D}_3 D_6$	5
$a_5$	00001000	$a_4$	00010000	$x_1 \bar{x}_2$	$y_4$	$\bar{D}_5 D_4$	7
		$a_6$	00000100	$\bar{x}_1 \bar{x}_2$	$y_6$	$\bar{D}_5 D_6$	8
		$a_7$	00000010	$x_2$	$y_7$	$\bar{D}_5 D_7$	9
$a_6$	00000100	$a_4$	00010000	$x_1 \bar{x}_2$	$y_4$	$\bar{D}_6 D_4$	10
		$a_6$	00000100	$\bar{x}_1 \bar{x}_2$	$y_6$	$D_6$	11
		$a_7$	00000010	$x_2$	$y_7$	$\bar{D}_6 D_7$	12

Для встановлення режиму зсуву на входи S0,S1 вибору режиму необхідно подати рівні сигналів високий, низький відповідно, а для режиму завантаження – обидва високі сигнали [15]. За даними табл. 2 видно, що булеві рівняння для формування відповідних функцій обнулення входів  $\bar{D}_3$ ,  $\bar{D}_5$ ,  $\bar{D}_6$  та збудження входів  $D_4$ ,  $D_6$ ,  $D_7$  зсувного регістра RG з урахуванням вхідних сигналів  $x_1$ ,  $x_2$  не представляють складності.

Отже, комбінаційна схема МПА (рис. 3) містить 9 інверторів, 8 елементів І та 6 елементів АБО, які утворюють 4 рівні логічних елементів, включаючи рівень з двох вхідних інверторів. В результаті максимальна затримка проходження сигналів функцій збудження складає  $3\tau$ , де  $\tau$  – максимальний час затримки на логічних елементах відповідних рівнів. При розміщенні схеми МПА (рис. 3) в одній мікросхемі ПЛІС архітектури FPGA можна отримати швидкість її спрацювання в мілісекундному діапазоні [9,10,16,17].

Таким чином, використаний варіант синтезу МПА на базі RA, а також застосування одиничного позиційного кодування станів МПА на зсувному регістрі дозволяє реалізувати відомий принцип оптимального синтезу МПА, а саме забезпечення зменшення частки складного логічного перетворювача (комбінаційної схеми) за рахунок збільшення частки, а також функціонального навантаження регулярної за структурою запам'ятовувальної частини МПА [18].

### Висновки

Результат синтезу на базі R – автомата структури пристрою керування для асоціативного процесора підтвердив перспективність такого варіанта синтезу МПА через спрощення процесу відповідного абстрактного та структурного синтезу. Це обумовлено нескладністю формування прямої та спрощеної структурних таблиць з використанням одиничного позиційного кодування станів МПА, що, в свою чергу, зумовлює зниження апаратної складності комбінаційної схеми МПА.

Разом з тим, зростання апаратної складності запам'ятовувальної частини МПА, що реалізована на зсувному регістрі, компенсується регулярністю її структури з можливістю нарощування необхідної розрядності. А це, у свою чергу, дає можливість реалізувати таку структуру пристрою керування разом з операційною частиною асоціативного процесора на одній мікросхемі ПЛІС з прийнятною швидкістю спрацювання.

### Список літератури

- [1] Ю. А. Бузунов, И. Г. Буренков и Н. Н. Шипилов, "Микропрограммные автоматы на параллельно-последовательных машинах", *Управляющие системы и машины*, № 2, с. 26-29. 1982.
- [2] В. І. Жабін, І. А. Жуков, І. А. Кліменко та В. В. Ткаченко, *Прикладна теорія цифрових автоматів*. К.: Книжкове видання НАУ, 2007.
- [3] А. А. Баркалов и Р. М. Бабаков, "Операционное формирование кодов состояний в микропрограммных автоматах", *Кибернетика и системный анализ*, № 2, с. 21-26. 2011.
- [4] Р. М. Бабаков, "Алгебраический синтез микропрограммного автомата с операционным автоматом переходов", *Інформаційні технології та комп'ютерна інженерія*, № 2, с. 35-41. 2017.

- [5] А. А. Баркалов и Р. М. Бабаков, "Организация устройств управления с операционной адресацией", *Управляющие системы и машины*, № 6, с. 34-39. 2008.
- [6] В. П. Кожем'яко, Т. Б. Мартинюк, Н. В. Фофанова та В. В. Дмитрук, "Порівняльний аналіз варіантів синтезу мікропрограмних автоматів", *Оптико-електронні інформаційно-енергетичні технології*, № 1(9), с. 225-233. 2005.
- [7] В. П. Кожем'яко, Т. Б. Мартинюк и К. В. Кожем'яко, "Синтез устройства управления на R-автомате", *Управляющие системы и машины*, № 1/2, с. 22-25. 1995.
- [8] Т. Б. Мартинюк, "Особенности синтеза микропрограммных R-автоматов", *Управляющие системы и машины*, № 3, с. 22-26. 1998.
- [9] А. В. Палагин и В. Н. Опанасенко, *Реконфигурируемые вычислительные системы*. К. Україна: Просвіта, 2006.
- [10] В. Соловьев и А. Климович, "Использование входных буферов ПЛИС в качестве элементов памяти конечных автоматов", *Chip News*, № 2(22), с. 24-28. 2003.
- [11] А. А. Баркалов и А. А. Баркалов, "Оптимизация логической схемы автомата Мура на программируемых БИС", *Управляющие системы и машины*, № 6, с. 38-41. 2001.
- [12] Т. Б. Мартинюк, Л. В. Крупельницький та Б. І. Круківський, "Регулярна обчислювальна структура для ранжування даних", *Інформаційні технології та комп'ютерна інженерія*, № 3(52), с. 70-76. 2021.
- [13] В. П. Кожем'яко, Т. Б. Мартинюк, В. В. Дмитрук та В. В. Власійчук, "Класифікація одиничних кодів", *Оптико-електронні інформаційно-енергетичні технології*, № 1(11), с. 36-42. 2006.
- [14] Т. Б. Мартинюк та О. В. Войцеховська, "Ефективність одиничного кодування даних", *Інформаційні технології та комп'ютерна інженерія*, № 2, с. 30-36. 2021.
- [15] В. И. Зубчук, В. П. Сигорский и А. Н. Шкуро, *Справочник по цифровой схемотехнике*. К.: Техника, 1990.
- [16] А. М. Сергиенко, *VHDL для проектирования вычислительных устройств*. К.: ТИД «ДС», 2003.
- [17] В. Стещенко, "Школа разработки аппаратуры цифровой обработки сигналов на ПЛИС", *Chip News*, № 8. с. 2-6. 1999.
- [18] С. М. Ачасова, *Алгоритмы синтеза автоматов на программируемых матрицах*. М.: Радио и связь, 136 с, 1987.

Стаття надійшла: 10.05.2022.

#### References

- [1] Ju. A. Buzunov, I. G. Burenkov i N. N. Shipilov, "Mikroprogrammnye avtomaty na parallel'no-posledovatel'nyh mashinah", *Upravljajushhie sistemy i mashiny*, № 2, s. 26-29. 1982 [in Russian].
- [2] V. I. Zhabin, I. A. Zhukov, I. A. Klimenko ta V. V. Tkachenko, *Prykladna teoriia tsysfrovyykh avtomativ*. K.: Knyzhkove vydannia NAU, 2007 [in Ukrainian].
- [3] A. A. Barkalov i R. M. Babakov, "Operacionnoe formirovanie kodov sostojanij v mikroprogrammnyh avtomatah", *Kibernetika i sistemnyj analiz*, № 2, s. 21-26. 2011 [in Russian].
- [4] R. M. Babakov, "Alhebraycheskyi syntez mykroprohrammnoho avtomata s operatsyonnym avtomatom perekhodov", *Informatsiini tekhnolohii ta komp'uterna inzheneriia*, № 2, s. 35-41. 2017 [in Russian].
- [5] A. A. Barkalov i R. M. Babakov, "Organizacija ustrojstv upravlenija s operacionnoj adresaciej", *Upravljajushhie sistemy i mashiny*, № 6, s. 34-39. 2008 [in Russian].
- [6] V. P. Kozhemiako, T. B. Martyniuk, N. V. Fofanova ta V. V. Dmytruk, "Porivnialnyi analiz variantiv syntezu mikroprohramnykh avtomativ", *Optyko-elektronni informatsiino-enerhetychni tekhnolohii*, № 1(9), s. 225-233. 2005 [in Ukrainian].
- [7] V. P. Kozhemiako, T. B. Martyniuk i K. V. Kozhemiako, "Sintez ustrojstva upravlenija na R-avtomate", *Upravljajushhie sistemy i mashiny*, № 1/2, s. 22-25. 1995 [in Russian].
- [8] T. B. Martyniuk, "Osobennosti sinteza mikroprogrammnyh R-avtomatov", *Upravljajushhie sistemy i mashiny*, № 3, s. 22-26. 1998 [in Russian].
- [9] A. V. Palagin i V. N. Opanasenko, *Rekonfiguriruemye vychislitel'nye sistemy*. K.: Prosvita, 2006. [in Russian].
- [10] V. Solov'ev i A. Klimovich, "Ispol'zovanie vhodnyh buferov PLIS v kachestve jelementov pamjati konechnykh avtomatov", *Chip News*, № 2(22), s. 24-28. 2003 [in Russian].
- [11] A. A. Barkalov i A. A. Barkalov, "Optimizacija logicheskoy shemy avtomata Mura na programmiruemym BIS", *Upravljajushhie sistemy i mashiny*, № 6, s. 38-41. 2001 [in Russian].
- [12] T. B. Martyniuk, L. V. Krupelnytskyi ta B. I. Krukivskyi, "Rehuliarna obchysliuvalna struktura dlja ranzhuvannia danykh", *Informatsiini tekhnolohii ta kompiuterna inzheneriia*, № 3(52), s. 70-76. 2021 [in Ukrainian].

- [13] V. P. Kozhemiako, T. B. Martyniuk, V. V. Dmytruk ta V. V. Vlasiichuk, "Klasyfikatsiia odynychnykh kodiv", *Optyko-elektronni informatsiino-enerhetychni tekhnolohii*, № 1(11), s. 36-42. 2006 [in Ukrainian].
- [14] T. B. Martyniuk ta O. V. Voitsekhovska, "Efektyvnist odynychnoho koduvannia danykh", *Informatsini tekhnolohii ta komp'iuterna inzheneriia*, № 2, s. 30-36. 2021 [in Ukrainian].
- [15] V. I. Zubchuk, V. P. Sigorskij i A. N. Shkuro, *Spravochnik po cifrovoj shemotehnikе*. K.: Tehnika, 1990 [in Russian].
- [16] A. M. Sergienko, *VHDL dlja proektirovaniia vychislitel'nyh ustrojstv*. K.: TID «DS», 2003 [in Russian].
- [17] V. Steshenko, "Shkola razrobotki apparatury cifrovoj obrabotki signalov na PLIS", *Chip News*, № 8, s. 2-6. 1999 [in Russian].
- [18] S. M. Achasova, *Algoritmy sinteza avtomatov na programmiruemykh matricah*. M.: Radio i svjaz', 1987 [in Russian].

#### Відомості про авторів

**Мартинюк Тетяна Борисівна** – доктор технічних наук, професор, професор кафедри обчислювальної техніки.

**Круківський Богдан Ігорович** – аспірант факультету інформаційних технологій та комп'ютерної інженерії.

**Богомолів Сергій Віталійович** – кандидат технічних наук, доцент, доцент кафедри обчислювальної техніки.

**Кузіна Аріна Олегівна** – студентка факультету інформаційних електронних систем.

T. B. Martyniuk, B. I. Krukivskyi, S. V. Bohomolov, A. O. Kuzina  
**SYNTHESIS OF A CONTROL DEVICE BASED ON  
R-AUTOMATON FOR ASSOCIATIVE PROCESSOR**

Vinnitsia National Technical University, Vinnitsia